

## ⑫ 公開特許公報(A) 平1-266593

⑤ Int. Cl. 4

G 09 G 1/02  
G 06 F 12/00  
15/64

識別記号

3 0 4  
4 5 0

庁内整理番号

Z-7060-5C  
F-8841-5B  
C-8419-5B※

⑬ 公開 平成1年(1989)10月24日

審査請求 未請求 請求項の数 2 (全15頁)

⑭ 発明の名称 メモリ回路とデータ・ストリームを記憶する方法

⑰ 特 願 昭63-324738

⑱ 出 願 昭63(1988)12月22日

優先権主張 ⑲ 1987年12月23日 ⑳ 米国(U S)㉑ 137305

⑳ 発 明 者 マサシ ハシモト アメリカ合衆国テキサス州ガーランド、ギャラクシー ロード 6101

㉒ 発 明 者 ジーン エイ. フランツ アメリカ合衆国テキサス州ミズリー シティ、ポイント クリアー コート 2027

㉓ 出 願 人 テキサス インストルメンツ インコーポレイテッド アメリカ合衆国テキサス州ダラス、ノース セントラル エクスプレスウェイ 13500

㉔ 代 理 人 弁理士 浅 村 皓 外 2 名  
最終頁に続く

## 明 細 書

## 1. 発明の名称

メモリ回路とデータ・ストリームを記憶する方法

## 2. 特許請求の範囲

(1) 直列アクセス及びランダム・アクセスの両方ができる様にした、データ・ストリームを記憶して供給するメモリ回路に於いて、アドレス入力及びデータ・ポートを持つランダムアクセス・メモリ・アレイと、該メモリ・アレイのデータ・ポートに結合されたデータ・ポートを持っていて、該メモリ・アレイの動作をデータ・ストリームと同期させるデータ・バッファと、データ入力を持つと共に、前記メモリ・アレイのアドレス入力に結合された出力を持っていて、前記メモリ・アレイに相次いで印加すべき一続きのメモリ・アドレスを発生するアドレス・シーケンサと、該アドレス・シーケンサのデータ入力に結合された出力を持っていて、前記アドレス・シーケンサによって発生される前記一続きのメモリ・アドレスを初期

設定するランダムアクセス・アドレスを供給するアドレス・バッファ・レジスタとを有するメモリ回路。

(2) ランダムアクセス・メモリ・アレイを用いてデータ・メモリを記憶及び供給する方法に於いて、前記メモリ・アレイの動作に対して非同期的に記憶され且つ供給されるデータ・ストリームが発生する様に、データ・ストリームをメモリ・アレイに、並びにデータ・ストリームをメモリ・アレイからバッファ作用によって出し入れし、ランダムアクセス・アドレスを発生し、該ランダムアクセス・アドレスによって初期設定された一続きのアドレスを発生し、該アドレスがランダムアクセス・メモリ・アレイに相次いで印加される工程を含む方法。

## 3. 発明の詳細な説明

産業上の利用分野

この発明は全般的にデジタル・メモリ回路に関する。特定して云えば、この発明はビデオ用に関する時に特に有利なデジタル・メモリ回路に関

する。

#### 従来の技術及び問題点

ディジタルTV、VCR及び関連したビデオ用途には、それらを合せたものがビデオ・フレーム全体を表わす様な画素を記憶するフレーム・メモリ又はフィールド・メモリを利用する場合が多い。このフレーム・メモリは、フレームの固定、ズーム、パン、分割スクリーン・モニタ動作等の様な種々の特殊効果を発生する時に使われる。フレーム・メモリは普通の個別の集積回路を使って構成することができるが、こう云うフレーム・メモリは比較的高価で、望ましくない程大量の電力を消費し、望ましくない程大きな場所を占める。この様なフレーム・メモリの目的が商品に使うことである場合、これが大きな問題になる。従って、単独であっても、或いはできるだけ少ない数の他の集積回路と組合せる1個の集積回路があれば、普通の個別の集積回路を用いて構成されたフレーム・メモリに比べて改良になる。

従来の集積回路装置はこのフレーム・メモリの

問題を取上げようとした。然し、こう云う装置は、ビデオ用の要求に適切に応える様なアーキテクチャを作ることができなかった。例えば、広い範囲に及ぶ種々の特殊効果をつくる際、典型的に必要とされる少数個のフレーム・メモリ機能だけを含む装置を使うことができる。然し、それを大量の従来の個別の集積回路と組合せなければならないので、従来の個別の集積回路だけで構成されたフレーム・メモリに比べて殆ど改良されなくなる。他方、従来のフレーム・メモリ集積回路は、完全なオンチップのアドレス計算を有するランダムアクセス・メモリを含むことがある。この様なフレーム・メモリを利用するビデオの用途では、フレーム・メモリ全体を直列にアクセスする。こうして、フレーム固定及び分割スクリーン・モニタ動作の特殊効果が支援される。然し、ズーム及びパン機能は、この様な装置を用いては不可能であるか或いは実用的でない。

従って、業界には大量の周囲の集積回路を必要とせず、広い範囲の種々の特殊効果を出せる様

に回路のアーキテクチャを最適にするフレーム・メモリ集積回路に対する要望がある。

#### 問題点を解決する為の手段及び作用

従って、この発明の利点は、限られたランダムアクセスができる様にしたフレーム・メモリ回路を提供したことである。この為、この発明に従って構成された装置は、広い範囲の種々の特殊効果のビデオ用途に効率良く使うことができる。

この発明の別の利点は、種々のアドレス計算モードを含むメモリ回路を提供したことである。即ち、或る特殊効果の機能に対する一部分のアドレス計算をメモリ回路に移すことができ、このメモリ回路を利用するビデオの用途では、計算に処理能力を割当てる必要がない。

上に述べたこの発明の利点が、一形式では、データ・ストリームを記憶して供給するメモリ回路によって実行される。このメモリ回路が直列アクセス及びランダムアクセスの両方ができる様にしている。ランダムアクセス・メモリ・アレイのデータ入力がデータ・バッファに結合され、このデ

ータ・バッファがメモリ・アレイの動作をデータ・ストリームと同期させることができるようにする。ランダムアクセス・メモリ・アレイのアドレス入力がアドレス・シーケンサに結合され、このシーケンサが、メモリ・アレイに相次いで印加される一続きのメモリ・アドレスを発生する。アドレス・バッファ・レジスタがアドレス・シーケンサにやはり結合されている。アドレス・バッファ・レジスタがアドレス・シーケンサにランダムアクセス・アドレスを供給して、アドレス・シーケンサから供給される一続きのメモリ・アドレスを初期設定する。

この発明は、以下図面について詳しく説明するところから更によく理解されよう。図面全体に亘り、同様な部分には同じ参照数字を用いている。

#### 実施例

第1図は受像管又はその他のビデオ表示端末装置に現われる様なビデオ・フレーム10を示す。フレーム10が観視者には連続的なビデオ映像として見えるが、フレーム10は多数のディジタル

画素12として電氣的に表わすことができる。各々の画素12が、フレーム10の映像内の多数の極く小さい区域のうちの1つに対する色及び相対強度の様なパラメータを定める。従って、フレーム10は比較的多数の画素12を含むことがある。例えば、画素12の488列及び画素12の488行を持つフレームは、1フレーム当り、合計238,144個の画素を持っている。

典型的には画素12は、画素12の間の空間関係を保つ為に、予定の順序で伝送され又はその他の形で処理される。例えば普通のラスタ走査の用途では、画素12は、フレーム10の第1行の第1列にある画素12を表わす画素12aから始まって、順々にメモリ装置又はビデオ表示装置に順順に伝送することができ、これがフレーム10の第1行の最後の列にある画素12を表わす画素12bまで、順番に続けられる。画素12b及び同期情報(図面に示していない)を伝送した直後、第2行の第1列にある画素12を表わす画素12cを伝送し、それに続いて、フレーム10の

第2行にある残りの画素12を順番に伝送することができる。フレーム10の最後の行の最後の列にある画素12を表わす画素12dが伝送されるまで、この様に画素12の伝送が続けられる。従って、画素12と初めの画素12aの間のタイミング関係が分っている任意の処理装置は、フレーム10内の画素12の空間的な位置を知っているか、或いはそれを容易に計算することができる。

デジタルTV、VCR等は、フレーム10内の全部の画素12を記憶することができる大きなフレーム・メモリ又はフィールド・メモリを持つことがある。画素12を併せたものが、フレーム・メモリに対する直列データ・ストリームとなる。特殊効果を別とすると、この直列データ・ストリーム内の画素12の相対的な順序は、画素12の空間関係を保つ為に、フレーム・メモリから読取る時に一般的に守らなければならない。然し、種種の特殊効果はこの様に守られる順序を必要とせず、フレーム・メモリから画素12が読取られる時、画素12の順序を正しく守ることによって、

貴重な計算時間が浪費されることがある。

この様な1つの特殊効果が、フレームの小さな一部分をビデオ表示全体を埋める様に拡大するズーム効果である。例えば、第1図のフレーム10がビデオ表示全体を表わすとする、フレーム10のうち、行i及びjと列m及びnによって区切られた区域をズーム特殊効果で拡大して、フレーム10全体を埋めることができる。この為、ズーム特殊効果では、フレーム10の中にあって、行i及びj及び列m及びnによって区切られた区域の外側にある全ての画素12は、作用せず、捨てることができる。云い換えれば、この様に作用しない画素12はフレーム・メモリに記憶したり或いはそれから読取る必要がない。従って、列m及び行iにある画素12が、ズーム特殊効果の最初の画素12aとして利用される。有効な画素12を重複してフレーム10の1行全体を完成することができ、行を重複して、ズーム効果の垂直成分を完成することができる。

分割スクリーン特殊効果では、フレーム10全

体を、フレーム10の行j及び最後の行と、フレーム10の列n及び最後の列とによって区切られた様なスクリーンの小さい区域に縮小することができる。この特殊効果を達成するには、画素12のフレーム10全体の内の予定数の画素12毎に、1つの画素12だけを利用し、中間の作用しない画素12を無視する(即ち、画素を飛越す)。第1図に示す例では、フレーム10の3つの列毎に1つ、そして3つの行毎に1つからの画素12だけを使って、縮小フレームが形成されている。

この発明は、フレーム・メモリとして作用すると共に、上記の並びにその他の特殊効果を効率良く実施することができる様なメモリ回路を提供する。第2図はこの発明に従って構成されたメモリ回路14のブロック図である。一般的に、好ましい実施例のメモリ回路14は、262,144個の4ビット幅のワードとして構成された $2^{20}$ 、即ち、1,048,576ビットの記憶内容を持つシングル・チップ集積回路を表わす。従って、画素12の488×488フレーム(第1図参照)

全体のバッファ動作又は記憶に十分な量のワードが供給される。各々の画素を正確に記述するのに4ビットより多くの精度が要求される場合、追加のメモリ回路14を使って、この様な余分なビットを記憶することができる。

メモリ回路14は一般的に直列アクセス・モードで動作するが、限られた規模で、メモリ回路14のランダムアクセスができる様にする特別の特徴を持っている。当業者であれば、直列アクセスとは、データをメモリに記憶したのと同じ順序で、データをメモリから読出さなければならない様なデータの記憶及び読取モードを指すことが理解されよう。更に、ランダムアクセスとは、そのメモリ位置に対応する一意的なアドレスを供給することにより、メモリ・アレイ内の任意の位置に書込み、読取り又はその他の形でアクセスすることができることを云う。

具体的に云うと、メモリ回路14が直列画素データ入力16aを持ち、好ましい実施例では、これが4ビットのデータを供給する。直列画素デー

タ入力16aが書込み直列ラッチ18aの入力ポートに結合され、書込み直列ラッチ18aの出力ポートが書込みレジスタ20aの入力ポートに結合される。書込みレジスタ20aの出力ポートがメモリ・アレイ24のデータ入力ポート22aに結合される。好ましい実施例では、メモリ・アレイ24は、 $2^{18}$ 、即ち、262,144個の4ビット・メモリ位置を持つダイナミック・ランダムアクセス・メモリ(DRAM)アレイである。メモリ・アレイ24のデータ出力ポート22bが読取レジスタ20bのデータ入力ポートに結合され、読取レジスタ20bのデータ出力ポートが読取直列ラッチ18bのデータ入力ポートに結合される。読取直列ラッチ18bのデータ出力ポートが直列画素データ出力16bに結合され、好ましい実施例では、これが4ビットのデータを供給する。

直列書込みクロック端子26aが書込みアドレス発生器28a、調停及び制御回路30、及び書込み直列ラッチ18aのクロック入力に結合される。同様に、直列読取クロック端子26bが読取

アドレス発生器28b、調停及び制御回路30、及び読取直列ラッチ18bのクロック入力に結合される。リフレッシュ・アドレス及びタイミング回路32の出力が調停及び制御回路30の入力に結合され、調停及び制御回路30の出力が、書込みレジスタ20aのクロック入力、読取レジスタ20bのクロック入力、メモリ・アレイ24の制御入力及びメモリ・アレイ24のアドレス入力に結合される。

第2図に示す様に、アドレス発生器28a及び28bは、好ましい実施例では、構造的に互に同様である。即ち、書込み制御データ端子34aが書込みアドレス発生器28a内のアドレス・バッファ・レジスタ36aの直列データ入力に結合される。読取制御データ端子34bが読取アドレス発生器28b内のアドレス・バッファ・レジスタ36bの直列データ入力に結合される。同様に、書込み制御ストローブ端子38aがアドレス・バッファ・レジスタ36aのクロック入力に結合され、読取制御ストローブ端子38bがアドレス・

バッファ・レジスタ36bのクロック入力に結合される。アドレス・バッファ・レジスタ36aのデータ出力がアドレス・シーケンサ40aのデータ入力に結合され、アドレス・バッファ・レジスタ36bのデータ出力がアドレス・シーケンサ40bのデータ入力に結合される。書込みリセット端子42aがアドレス・シーケンサ40aのクリア入力に結合され、書込み転送端子44aがアドレス・シーケンサ40aのプリセット入力に結合される。読取りリセット端子42bがアドレス・シーケンサ40bのクリア入力に結合され、読取転送端子44bがアドレス・シーケンサ40bのプリセット入力に結合される。端子26aがアドレス発生器28a内のアドレス・シーケンサ40aのクロック入力に結合され、端子26bがアドレス発生器28b内のアドレス・シーケンサ40bのクロック入力に結合される。アドレス・シーケンサ40aの出力(46a)がアドレス発生器28aからの出力信号を出し、調停及び制御回路30の入力に結合される。同様に、アドレス

・シーケンサ40bの出力(46b)がアドレス発生器20bからの出力信号を出し、調停及び制御回路30に結合される。メモリ回路14は20ピン集積回路パッケージ内に設けることができる。

前に述べた様に、メモリ回路14は直列アクセス・モード又は限られたランダムアクセス・モードの何れかで動作させることができる。更に、メモリ回路14に対するデータの記憶又は書込みは、メモリ回路14からのデータの読取又は供給と非同期的に行なうことができる。端子42aの書込みリセット信号を作動して、アドレス・シーケンサ40aをクリアすることにより、メモリ回路14に直列に書込みをすることができる。その後、端子26aに直列書込みクロック信号を出しながら、データ入力16aに4ビットのデータ・ニブルを印加することにより、4ビット幅の直列データ・ストリームをメモリ回路14に記憶することができる。直列書込みクロック信号が1回出されると、書込み直列ラッチ18aが1つの4ビット・データ・ニブルを一時的に記憶し又はバッファ作用を

する。書込み直列ラッチ18aが4ビット幅のシフトレジスタとして作用する。従って、データ入力16aに印加された直列画素データ・ストリームの後続の4ビット・ニブルが、この後で直列書込みクロック信号が出る時に、直列ラッチ28aシフトして入る。

更に、直列書込みクロック信号が出る度に、書込みアドレス発生器28aのアドレス・シーケンサ40aが、新しいランダムアクセス・アドレスを調停及び制御回路30に供給する。云え換えれば、アドレス・シーケンサ40aは、書込み直列ラッチ18aに記憶されているデータ・ストリームに対応する様なアドレスのストリームを調停及び制御回路30に供給する。

調停及び制御回路30がアドレス発生器28a〜28bとリフレッシュ・アドレス及びタイミング回路32から、アドレスを受取る。回路30がこれらの入力及び種々のタイミング信号を監視して、これらの入力に供給されたどのアドレスをメモリ・アレイ24に転送すべきであるかを決定す

る。調停及び制御回路30が、メモリ・アレイ24を構成するダイナミック・メモリのタイミング動作を制御する普通の論理回路を含んでいる。即ち、調停及び制御回路30がアドレス発生器28aによって発生されたアドレスをメモリ・アレイ24に送り、メモリ・アレイ24にデータを書込むことができる様にするが、メモリ・アレイ24のリフレッシュ動作又は読取アクセスの為に、遅延が起ることがある。従って、調停及び制御回路30は更に記憶装置を持っていて、メモリ・アレイ24に直ちにアクセスすることが阻止された時、アドレス発生器28a〜28bによって発生されたアドレスが失われない様にする。調停及び制御回路30が、直列画素データをメモリ・アレイ24に書込むことができる時を確認した時、このデータが書込み直列ラッチ18aから書込みレジスタ20aに転送され、その後メモリ・アレイ24に書込まれる。従って、書込み直列ラッチ18a及び書込みレジスタ20aを併せたものが二重バッファ方式となり、メモリ回路14に対す

る直列画素データの記憶に対してメモリ・アレイ24の非同期的な動作ができる様にする。

メモリ・アレイ24からのデータの読取は、メモリ・アレイ24へのデータの記憶について上に述べたのと同様に行なわれる。即ち、アドレス発生器28bによって発生されたアドレスが、適当な時刻に調停及び制御回路30を介して転送され、メモリ・アレイ24からのデータを読取レジスタ20bに読込む。その後、このデータが読取直列ラッチ18bに転送され、このデータを、端子26bに直列読取クロック信号を印加することによって、データ出力端子16bに発生することができる様にする。直列データが出力(16b)に発生されるのは、メモリ・アレイ24の動作に対して非同期的であると共に、直列画素データをメモリ回路14に端子16aから記憶するのに対しても非同期的である。

メモリ回路14の限られたランダムアクセスの特徴が、アドレス発生器28a〜28bによって得られる。第2図に示す実施例のメモリ回路14

では、書込みアドレス発生器28a及び読取アドレス発生器28bは、書込みアドレス発生器28aが書込みアドレスを発生するのに対して、読取アドレス発生器28bが読取アドレスを発生することを別とすれば、構造も動作も同一である。従って、両方のアドレス発生器28a～28bの説明として、書込みアドレス発生器28aだけを説明する。当業者であれば、好ましい実施例は読取アドレス発生器28bが同じ様に動作することが理解されよう。

ランダムアクセス・アドレスは、このアドレスを制御データ端子34aに逐次的に印加し、端子34aに有効データを現われる時に、端子38aに印加される制御ストロブ信号を作動することにより、アドレス・バッファ・レジスタ36aに直列にロードすることができる。この為、第2図に示す実施例では、アドレス・バッファ・レジスタ36aが直列シフトレジスタを表わす。直列シフトレジスタを使うと、並列ロード形レジスタに比べて、集積回路でメモリ回路14を構成するの

に必要の外部ピンの数が節約される。ランダムアクセス・アドレスがアドレス・バッファ・レジスタ36aに入力された後、端子44aに書込み転送信号を印加することにより、それをデータ・シーケンサ40aに転送することができる。この発明の好ましい実施例では、アドレス・シーケンサ40aはプリセット可能な2進カウンタ又はその他のプリセット可能なシーケンス回路を表わすものであって良い。即ち、転送されたアドレスが、アドレス発生器28aによってこの後で発生される一続きのアドレスを開始する。アドレス・シーケンサ40aが2進カウンタである場合、後続のアドレスが、このプリセットされた値から開始して、インCREMENT又はDECREMENTする。

メモリ・アレイ24が2<sup>18</sup>個の4ビット・ワードを記憶している場合、アドレス・バッファ・レジスタ36aは18ビット・レジスタであるのが有利であり、アドレス・シーケンサ40aは18ビット・カウンタ又はその他のシーケンス回路であって良い。他方、アドレス・バッファ・レジスタ36a及びアドレス・シーケンサ40aは、例えば9ビットと云う様に、これより少ないビット数を持っていて良い。9ビットの場合、アドレス・バッファ・レジスタ36aから供給されるランダムアクセス・アドレスが、各々のページ又は行が2<sup>9</sup>、即ち512ワードを記憶している場合、メモリ・ページ又は行の初めをアクセスすることができる。

メモリ・アレイ24が2<sup>18</sup>個の4ビット・ワードを記憶している場合、アドレス・バッファ・レジスタ36aは18ビット・レジスタであるのが有利であり、アドレス・シーケンサ40aは18ビット・カウンタ又はその他のシーケンス回路であって良い。他方、アドレス・バッファ・レジスタ36a及びアドレス・シーケンサ40aは、例えば9ビットと云う様に、これより少ないビット数を持っていて良い。9ビットの場合、アドレス・バッファ・レジスタ36aから供給されるランダムアクセス・アドレスが、各々のページ又は行が2<sup>9</sup>、即ち512ワードを記憶している場合、メモリ・ページ又は行の初めをアクセスすることができる。

アドレス・バッファ・レジスタ36aを含めて、限られたランダムアクセスの特徴を持たせたことにより、ズーム特殊効果でメモリ回路14を効率良く利用することができる。例えば、直列アクセス・モードを使ってメモリ・フレーム全体をメモリ・アレイ24に書込むことにより、ズーム効果を達成することができる。第1図の行i列mにある画素アドレスの様な開始の画素アドレスを読取アドレス・バッファ・レジスタ36bにロードし、アドレス・シーケンサ40bに転送することができる。フレーム10の内、フレーム全体に拡大しようとする部分の最初の行、例えば行iを、例え

ば行i、列nに対応する画素が出力端子16bに現われるまで、直列モード又は逐次モードでメモリ・アレイ24から読取ることができる。アドレス・バッファ・レジスタ36bからのランダムアクセス・アドレスをアドレス・シーケンサ40bに転送することにより、垂直ズーム作用を行なうのに必要な回数だけ何回でもある行を繰返すことができる。その後、行(i+1)及び列mにある画素に対応するアドレスをアドレス・バッファ・レジスタ36bにロードし、アドレス・シーケンサ40bに転送することができる。拡大しようとするフレームの最後の画素がメモリ・アレイ24から出力されるまで、この過程を続ける。この特徴により、ビデオ装置は、画素12a(第1図に示す)の様な最初のアドレスから、メモリ回路14のアクセスを開始して、メモリ・アレイ24内に記憶されている使わない画素をアクセスする必要がない。この結果、動作が早くなる。

この発明では、別の実施例のアドレス発生器28a～28bも考えられる。第1の別の実施例

はアドレス発生器28a~28bが第3図に示されている。第3図は1つのアドレス発生器28だけを示している。第3図に示すアドレス発生器28は書込みアドレス発生器28a又は読取発生器28b(第2図参照)の何れとしても作用し得る。

第1の別の実施例のアドレス発生器28では、アドレス・バッファ・レジスタ36が直列でも並列でもロードすることができる。即ち、前に第2図について説明した様な書込み制御データ端子34a又は読取制御データ端子34bの何れを表わすものであってもよいが、制御データ端子34が、アドレス・バッファ・レジスタ36の直列データ入力に結合される。制御ストローブ端子38がアドレス・バッファ・レジスタ36の直列クロック入力及びアドレス・オフセット・レジスタ48の直列クロック入力に結合される。アドレス・バッファ・レジスタ36の並列データ出力が加算器50の第1の入力及びアドレス・シーケンサ40のデータ入力に結合される。アドレス・オフ

セット・レジスタ46の並列データ出力が加算器50の第2の入力に結合される。加算器50の出力がアドレス・バッファ・レジスタ36の並列データ入力に結合され、転送端子44がアドレス・バッファ36の並列クロック入力とアドレス・シーケンサ40のプリセット入力とに結合される。アドレス・バッファ・レジスタ36の並列データ出力又は直列出力ビットの内の最上位ビットがアドレス・オフセット・レジスタ48の直列データ入力に結合される。直列クロック端子26がアドレス・シーケンサ40のクロック入力に結合され、リセット端子42がアドレス・シーケンサ40のクリア入力に結合される。アドレス・シーケンサ40のデータ出力がアドレス発生器の出力(46)に結合される。

この別の第1の実施例では、アドレス・バッファ・レジスタ36及びアドレス・シーケンサ40は、第2図のアドレス発生器28a~28bについて上に述べた動作と同様に動作する。然し、この第1の別の実施例では、端子34に供給された

制御データを使って、アドレス・バッファ・レジスタ36及びアドレス・オフセット・レジスタ48の両方にロードする。従って、制御データの余分なビットが、余分の集積回路のピンを必要とせずにメモリ回路14にロードされる。更に、アドレス・オフセット・レジスタ48からの最上位ビット又は直列出力ビット51を、読取及び書込みアドレス発生器28a及び28b(第1図参照)の内の他方に対する制御データ入力に送ることができるのが有利である。更に、端子38に印加された制御ストローブ信号を第2図の制御ストローブ端子38a及び38bの内の他方に送ることができる。アドレス発生器28a及び28bの間のこの2つの接続により、第2図に示した構造から2つの集積回路ピンが除かれる。

この発明の今述べた第1の別の実施例では、アドレス・オフセット・レジスタ48に入っている制御データが、アドレス・バッファ・レジスタ36に入っている現在の初期アドレスの値に加算され、新しい初期設定用のランダムアクセス・ア

ドレスの値となる。この新しい初期設定用の値が、アドレス・シーケンサ40に現在のアドレスの値が転送された時に、アドレス・バッファ・レジスタ36にロードされる。

更に第1図について説明すると、この発明のこの第1の別の実施例は、例えばズーム特殊効果を実施する時に有利であることがある。即ち、アドレス・オフセット・レジスタ48にロードされたアドレス・オフセット値は、1つの行の列nと次の行の列mの間に発生する使わない画素の分額を表わすものであってよい。フレームの各行の終りに、端子44に転送信号を出し、次の行の列nに対応する、次に使う画素のランダムアクセス・アドレスが自動的に計算され、アドレス・バッファ・レジスタ36に記憶されて、メモリ回路14の別の一続きの逐次的なアクセスを開始する。メモリ回路14を用いるビデオ装置は、メモリ回路14の外部の部品がこのアドレスを計算する必要がないので、それ程複雑でなくなる。

第2図に示したアドレス発生器28a~28b

の別の第2の実施例が第4図に示されている。第4図の実施例は、ランダムアクセス・アドレスを並列の形でアドレス・バッファ・レジスタ36にロードすることができることを示しており、これは普通のマイクロプロセッサ集積回路との両立性が一層良いことがある。然し、この実施例を構成するのに必要な集積回路ピンの数が、第2図及び第3図について説明した実施例よりも増加する。更に、第4図は、アドレス・バッファ・レジスタ36の他に、交代的なアドレス・バッファ・レジスタ52を含むことを示している。具体的に云うと、制御データ端子34は8ビットのマイクロプロセッサ・データ・バスに供給するのが有利であり、このバスがアドレス・バッファ・レジスタ36の個別の8ビット部分54a、54b、54cのデータ入力に結合される。更に、制御データ端子34が交代的なアドレス・バッファ・レジスタ52の個別の8ビット部分56a、56b、56cのデータ入力に結合される。個別の部分54a乃至54cのデータ出力を併せたものが2

4ビット・バスを構成し、それがマルチプレクサ58の第1のデータ入力に結合される。同様に、個別の部分56a乃至56cのデータ出力が24ビット・バスを構成し、それがマルチプレクサ58の第2のデータ入力に結合される。マルチプレクサ58のデータ出力が、この第2の別の実施例でアドレス・シーケンサ40として作用する2進カウンタのデータ入力に結合される。勿論、当業者であれば、アドレス・バッファ・レジスタ36及び交代的なアドレス・バッファ・レジスタ52に含まれるサブレジスタの数、及び上に述べたバス内のビット数が、特定の用途の条件に従って大幅に変えられることは明らかであろう。

更にマイクロプロセッサ・アドレス入力端子60a、60b、60cがデコーダ62のアドレス入力に結合され、アドレス入力端子60dがデコーダ62の付能入力に結合される。前に述べた制御ストロブ端子38がデコーダ62の付能入力に結合される。デコーダ62の出力(01~06)がアドレス・バッファ・レジスタの個別の

部分54a-54cのクロック入力と、交代的なアドレス・バッファ・レジスタの個別の部分56a-56cのクロック入力とに夫々結合される。デコーダ62の出力(07)がフリップフロップ64のクロック入力に結合される。このフリップフロップは、クロック入力が増進された時、トグルする様に構成されている。フリップフロップ64の出力がマルチプレクサ58の選択入力に結合される。デコーダ62の出力(08)が2進カウンタ40のプリセット入力に結合される。直列クロック26が2進カウンタ40のクロック入力に結合され、リセット端子42がフリップフロップ64のクリア入力及び2進カウンタ40のクリア入力に結合される。2進カウンタ40の出力がアドレス発生器28の出力(46)に結合される。

この別の2番目の実施例のアドレス発生器28では、1つの初期設定用のランダムアクセス・アドレスをアドレス・レジスタ36に記憶することができ、交代的な初期設定用のランダムアクセス

・アドレスが交代的なアドレス・バッファ・レジスタ52に記憶される。マイクロプロセッサ(図面に示していない)が、端子60a-60cに印加された信号によって特定されたアドレスに、普通のメモリ動作又はI/O書込み動作を通じて、これらのアドレスをメモリ回路14に記憶することができる。端子60dに印加されたアドレス入力ビットが書込みアドレス発生器28aと読取アドレス発生器28b(第1図参照)の区別をすることができるのは有利である。リセット端子42に作動信号を印加することにより、フリップフロップ64及び2進カウンタ40はクリア状態に初期設定することができる。この点で、アドレス発生器28は前に第2図について説明したのと大体同じ様に動作する。然し、交代的なアドレス・バッファ52に記憶された交代的なランダムアクセス・アドレスが選択的に2進カウンタ40をプリセットすることができる。フリップフロップ54のトグル動作を行なわせるマイクロプロセッサ書込み動作と、その後続く、2進カウンタ40にデ



ータを転送するマイクロプロセッサ書込み動作とにより、2進カウンタ40に交替的なランダムアクセス・アドレスがプリセットされる。フリップフロップ64は、デコーダ62の出力(07)を作動するアドレスへの書込み動作を行なうことによってトグル動作を行なわせることができる。デコーダ62の出力(08)を作動するアドレスに対する書込みにより、アドレス・バッファ・レジスタ36, 52の選ばれた一方からの転送動作が行なわれる。

交替的なアドレス・バッファ・レジスタ52は、データ・フレーム内の或る線のバッファ動作を効率良く行なう為に、ビデオ装置によって有利に使うことができる。好ましい実施例のメモリ回路14が、2<sup>18</sup>、即ち、262, 144個の画素を収容するのに十分な規模のメモリを持っているから、メモリ回路14は、例えば480個の画素の列と480の画素の行とを持つ1つのデータ・フレームを記憶するのに使った時、使われていないメモリ位置を持っている。従って、メモリのこの

使われていない部分にあるランダムアクセス・アドレスを交替的なアドレス・バッファ・レジスタ52にロードすることができる。この交替的なアドレスの値を2進カウンタ40に転送し、その後この線の画素を逐次的にメモリ回路14の他には使われていない部分に記憶することにより、あるフレームの1本の線を効率良くメモリ回路14に記憶することができる。

更に、この発明ではアドレス・シーケンサ40のこの他の実施例も考えられる。第4図に示す様に、アドレス・シーケンサ40は普通のプリセット可能な、クリア可能な2進カウンタを表わすものであって良い。こう云う回路は周知であって、ここで詳しく説明する必要がない。然し、この代わりに、アドレス・シーケンサ40が、1の値とは異なっていて良い様な可変のステップの値だけインCREMENT又はDECREMENTする回路を表わすものであって良い。こう云う回路が第5図に示されている。

即ち、第5図では、アドレス・シーケンサのデ

ータ入力マルチプレクサ66の第1の入力に結合され、アドレス・シーケンサのプリセット端子がマルチプレクサ66の選択入力に結合される。マルチプレクサ66の出力がレジスタ68のデータ入力に結合され、アドレス・シーケンサ40のクロック入力レジスタ68のクロック入力に結合される。同様に、リセット端子42がレジスタ68のクリア入力に結合される。レジスタ68のデータ出力がアドレス・シーケンサ40のデータ出力になり、更に加算器70の第1の入力に結合される。加算器70の出力がマルチプレクサ66の第2の入力に結合される。前に第2図乃至第4図について説明した制御データ端子34が、レジスタ72のデータ入力に結合される。更に、前に第2図乃至第4図について説明した制御ストローブ端子38が、レジスタ72のクロック入力に結合される。レジスタ72のデータ出力が加算器70の第2の入力に結合される。

第5図に示した実施例のアドレス・シーケンサ40では、レジスタ72は、第2図乃至第4図に

ついて前に述べた様に並列又は直列ロード形レジスタの何れであっても良い。更に、レジスタ72が直列ロード形レジスタである場合、レジスタ72は、前に第3図について説明した様に、直列ロード形レジスタの長いチェーンの中に沢山結合されたものの内の1つのレジスタであって良い。レジスタ72にロードされるデータは、アドレス・シーケンサ40がアドレス発生器28の出力(46)に相次ぐアドレスを発生する時のインCREMENT・ステップを表わすものである。アドレス・シーケンサ40の現在の出力が、加算器70で、このステップのインCREMENTの値に加算され、マルチプレクサ66を介してレジスタ68に戻される。従って、アドレス・シーケンサ40によって発生されるこの後のアドレスは、前のアドレスに、レジスタ72に入っているアドレス・ステップ・インCREMENTを加えたものに等しい。このアドレス・ステップ・インCREMENTは1の値に等しくする必要がなく、任意の正又は負の値に等しくして良い。更に、レジスタ72、加算器

70、マルチプレクサ66及びレジスタ68を互いに結合するバスに入るビット数が、アドレス・シーケンサ40の出力に出るビット数より大きい場合、この後のアドレスは、ステップの端数だけインCREMENTすることができる。

プリセット端子に作動信号を印加し、データ入力端子にデータを供給し、アドレス・シーケンサ40のクロック信号を出すことにより、アドレス・シーケンサ40はランダムアクセス・アドレスをプリセットし、又はそれで初期設定することができる。即ち、この初期設定用のランダムアクセスの値が、レジスタ68に直接的にロードされる。更に、クリア入力端子にリセット信号を印加することにより、アドレス・シーケンサ40をクリア又はリセットすることができる。

更に、第1図について云うと、第5図に示すアドレス・シーケンサ40は、第1図の右下部分に示す様に、フレーム全体をビデオ・スクリーンの小さな一部分にだけ表示する様な分割スクリーン特殊効果を実施する時に役立つ。この特殊効果では、

ば、この発明の範囲内でこれらの実施例に種々の変更を加えることができることが理解されよう。例えば、読取アドレス発生器28bは書込みアドレス発生器28aと全く同じである必要はない。更に、第3図乃至第5図に示した実施例は別の実施例であると上に述べたが、これは当業者が、これらの別の実施例の2つ以上の考えを1つのフレーム・メモリ回路14に組合せることを妨げるものではない。更に、当業者であれば、フレーム・メモリ回路14に追加のアドレス処理能力を組み込むことができることを理解されよう。この様な追加のアドレス処理能力としては、フレームの線の終りを示す信号、フレームの終りを示す信号、線の終り及びフレームの終り信号が発生した時、アドレス・シーケンサにランダムアクセス・アドレスを自動的に転送することを含めることができる。更に、この発明を理解する助けとして、具体的なフレーム及びメモリ・アレイの寸法を前に述べたが、この発明が任意の特定の寸法に制限されないことを承知されたい。当業者に明らかなこの様な

メモリ回路14にフレーム10の悉くの画素12が記憶されている場合、縮小スクリーンを構成する時は、予定数の記憶画素の群毎に、1つの画素だけが作用する。第5図に示すアドレス・シーケンサ40は、使わない画素アドレスを省略する様な一続きのアドレスを供給することにより、メモリ回路14が有効な画素だけを供給することができる様にする。

要約すれば、この発明はビデオ装置が特殊効果を効率良く実施することができる様なメモリ回路を提供した。具体的に云うと、種々の限られたランダムアクセスの特徴を取入れたことにより、メモリ回路14が、所定の特殊効果に対する有効な画素だけを記憶並びに／又は供給し、使わない画素を記憶又は供給しない様にすることができる。従って、有効な画素は、従来のフレーム・メモリ回路を使った場合よりも、一層速くメモリ回路14から再生することができる。

以上述べたことはこの発明を例示する為に、好ましい実施例を用いている。然し、当業者であれ

全ての変更が、この発明の範囲内に含まれることを承知されたい。

以上の説明に関連して、更に下記の項を開示する。

(1) 直列アクセス及びランダム・アクセスの両方ができる様にした、データ・ストリームを記憶して供給するメモリ回路に於いて、アドレス入力及びデータ・ポートを持つランダムアクセス・メモリ・アレイと、該メモリ・アレイのデータ・ポートに結合されたデータ・ポートを持っていて、該メモリ・アレイの動作をデータ・ストリームと同期させるデータ・バッファと、データ入力を持つと共に、前記メモリ・アレイのアドレス入力に結合された出力を持っていて、前記メモリ・アレイに相次いで印加すべき一続きのメモリ・アドレスを発生するアドレス・シーケンサと、該アドレス・シーケンサのデータ入力に結合された出力を持っていて、前記アドレス・シーケンサによって発生される前記一続きのメモリ・アドレスを初期設定するランダムアクセス・アドレスを供給する

アドレス・バッファ・レジスタとを有するメモリ回路。

(2) (1) 項に記載したメモリ回路に於いて、アドレス・バッファ・レジスタが直列ロード形シフトレジスタであるメモリ回路。

(3) (1) 項に記載したメモリ回路に於いて、更にアドレス・シーケンサに結合されていて、アドレス・バッファ・レジスタに入っているデータをアドレス・シーケンサに転送させる信号を受取る様になっている端子を有するメモリ回路。

(4) (1) 項に記載したメモリ回路に於いて、メモリ・アレイ、データ・バッファ、アドレス・シーケンサ及びアドレス・バッファ・レジスタが1つの集積回路に入っているメモリ回路。

(5) (1) 項に記載したメモリ回路に於いて、アドレス・シーケンサが2進カウンタであって、データ入力アドレス・バッファ・レジスタの出力に結合され、出力がメモリ・アレイのアドレス入力に結合されているメモリ回路。

(6) (1) 項に記載したメモリ回路に於いて、ア

メモリ・アレイのアドレス入力に結合された出力及びデータ入力を持っていて、メモリ・アレイから供給されるデータ・ストリームを読取る為に、メモリ・アレイに印加すべき一続きのメモリ・アドレスを発生する第2のアドレス・シーケンサと、第2のアドレス発生器のデータ入力に結合された出力を持っていて、第2のアドレス・シーケンサによって発生される一続きのメモリ・アドレスの初期設定をするランダムアクセス・アドレスを供給する第2のアドレス・バッファ・レジスタとを有するメモリ回路。

(8) (1) 項に記載したメモリ回路に於いて、更に、出力を持っていて、アドレス・オフセット・データを記憶するアドレス・オフセット・レジスタと、アドレス・バッファ・レジスタの出力に結合された第1の入力、アドレス・オフセット・レジスタの出力に結合された第2の入力、及びアドレス・バッファ・レジスタのデータ入力に結合された出力を持っていて、それまでのランダムアクセス・アドレスと、前記アドレス・オフセット・

ドレス・シーケンサが、アドレス・シーケンサのデータ入力として作用する節に結合されたデータ入力、及びアドレス・シーケンサの出力として作用する出力を持つ第1のレジスタと、出力を持っていて、インCREMENT・ステップの値を記憶する第2のレジスタと、第1の入力が前記第1のレジスタの出力に結合され、第2の入力が前記第2のレジスタ出力に結合され、出力が前記第1のレジスタのデータ入力に結合されている加算器とで構成されているメモリ回路。

(7) (1) 項に記載したメモリ回路に於いて、データ・バッファがメモリ・アレイの動作を、該メモリ・アレイに記憶されるデータ・ストリームと同期させ、アドレス・シーケンサが、記憶されるデータ・ストリームをメモリ・アレイに書込むメモリ・アドレスを発生し、更にメモリ回路が、前記メモリ・アレイのデータ・ポートに結合されたデータ・ポートを持っていて、メモリ・アレイの動作をメモリ回路から供給されるデータ・ストリームに同期させる第2のデータ・バッファと、メ

データとの和を表わすランダムアクセス・アドレスを発生する加算器とを有するメモリ回路。

(9) (1) 項に記載したメモリ回路に於いて、アドレス・シーケンサのデータ入力に結合された出力を持つ交代的なアドレス・バッファ・レジスタを有し、アドレス・シーケンサによって発生される交代的な一続きのメモリ・アドレスの初期設定をする交代的なランダムアクセス・アドレスを発生するメモリ回路。

(10) 直列アクセス及び限られたランダムアクセスができる様になっていて、データ・ストリームを記憶並びに供給する集積メモリ回路に於いて、アドレス入力、データ入力ポート及びデータ出力ポートを持つランダムアクセス・メモリ・アレイと、該メモリ・アレイのデータ入力ポートに結合されたデータ・ポートを持っていて、メモリ・アレイの動作を記憶されるデータ・ストリームと同期させる第1のデータ・バッファと、メモリ・アレイのデータ出力ポートに結合されたデータ・ポートを持っていて、メモリ・アレイの動作を供給

されるデータ・ストリームと同期させる第2のデータ・バッファと、第1のアドレス発生器が、メモリ・アレイに記憶されるデータ・ストリームを書込む為に使われるアドレスを発生し、第2のアドレス発生器がメモリ・アレイから供給されるデータ・ストリームを読取る為に使われるアドレスを発生する様な第1及び第2のアドレス発生器とを有し、該第1及び第2のアドレス発生器の各々は、メモリ・アレイのアドレス入力に結合された出力及びデータ入力を持っていて、メモリ・アレイに印加されるメモリ・アドレスを計数する2進カウンタ、及び該2進カウンタのデータ入力に結合された出力を持っていて、2進カウンタのカウントを開始させる初期ランダムアクセス・メモリ・アドレスを供給する直列ロード形アドレス・バッファ・レジスタで構成されている集積メモリ回路。

(11) (10)項に記載した集積メモリ回路に於いて、前記第1及び第2のアドレス発生器の各々が、更に、出力を持っていて、アドレス・オフセット・

データを記憶するアドレス・オフセット・レジスタと、第1の入力がアドレス・バッファ・レジスタの出力に結合され、第2の入力がアドレス・オフセット・レジスタの出力に結合され、出力がアドレス・バッファ・レジスタのデータ入力に結合されていて、それまでのランダムアクセス・アドレスとアドレス・オフセット・データの和をアドレス・バッファ・レジスタに供給する加算器とを有する集積メモリ回路。

(12) (10)項に記載した集積メモリ回路に於いて、第1及び第2のアドレス発生器の各々が、2進カウンタのデータ入力に結合された出力を持っていて、2進カウンタが計数する交替的な初期ランダムアクセス・メモリ・アドレスを供給する交替的なアドレス・バッファ・レジスタを有する集積メモリ回路。

(13) ランダムアクセス・メモリ・アレイを用いてデータ・メモリを記憶及び供給する方法に於いて、前記メモリ・アレイの動作に対して非同期的に記憶され且つ供給されるデータ・ストリームが

発生する様に、データ・ストリームをメモリ・アレイに、並びにデータ・ストリームをメモリ・アレイからバッファ作用によって出し入れし、ランダムアクセス・アドレスを発生し、該ランダムアクセス・アドレスによって初期設定された一続きのアドレスを発生し、該アドレスがランダムアクセス・メモリ・アレイに相次いで印加される工程を含む方法。

(14) (13)項に記載した方法に於いて、ランダムアクセス・アドレスを発生する工程が、レジスタにランダムアクセス・アドレスを直列ロードする工程を含む方法。

(15) (13)項に記載した方法に於いて、一続きを発生する工程が、ランダムアクセス・メモリ・アレイに相次いで印加されるアドレスを発生する為に、データ・ストリーム内の相次ぐデータ項目を計数する工程を含む方法。

(16) (13)項に記載した方法に於いて、一続きを発生する工程が、アレイに記憶されるデータ・ストリームを書込む為のアドレスを発生し、更に、

メモリ・アレイから供給するデータ・ストリームを読取る為にランダムアクセス・メモリ・アレイに相次いで印加される2番目の一続きのアドレスを発生し、該2番目の一続きを発生する工程に、相次いで印加される一続きのアドレスの初期設定をするランダムアクセス・アドレスを供給する工程を含む方法。

(17) (13)項に記載した方法に於いて、アドレス・オフセット値を供給し、該アドレス・オフセット値をランダムアクセス・アドレスに加算して第2のランダムアクセス・アドレスを発生する工程を含む方法。

(18) (13)項に記載した方法に於いて、前記一続きを発生する工程に対し、相次いで印加される2番目の一続きのアドレスの初期設定をする第2のランダムアクセス・アドレスを供給する工程を含む方法。

(19) (13)項に記載した方法に於いて、一続きを発生する工程が、インCREMENT・ステップ値を供給し、該インCREMENT・ステップ値を、前記

一続きのアドレスからの現在のアドレスと加算して、前記一続きのアドレス中の次のアドレスを発生する工程を含む方法。

(20) メモリ回路14がビデオ・フレーム・メモリとして作用することができる様に特に構成された特徴を持つメモリ回路14を説明した。メモリ回路14は、ダイナミック・ランダムアクセス・メモリ・アレイ24を持ち、その入力及び出力データ・ポート22にバッファ18、20があって、メモリ・アレイ24に対する非同期的な読取、書込み及びリフレッシュのアクセスができる様にする。メモリ回路14は直列にも、ランダムにもアクセスされる。アドレス発生器28がアドレス・バッファ・レジスタ36を持っていて、これがランダムアクセス・アドレス記憶すると共に、アドレス・シーケンサ40を持ち、これがメモリ・アレイ24に対するアドレスのストリームを供給する。アドレスのストリームに対する初期アドレスは、アドレス・バッファ・レジスタ36に記憶されているランダムアクセス・アドレスである。

#### 4. 図面の簡単な説明

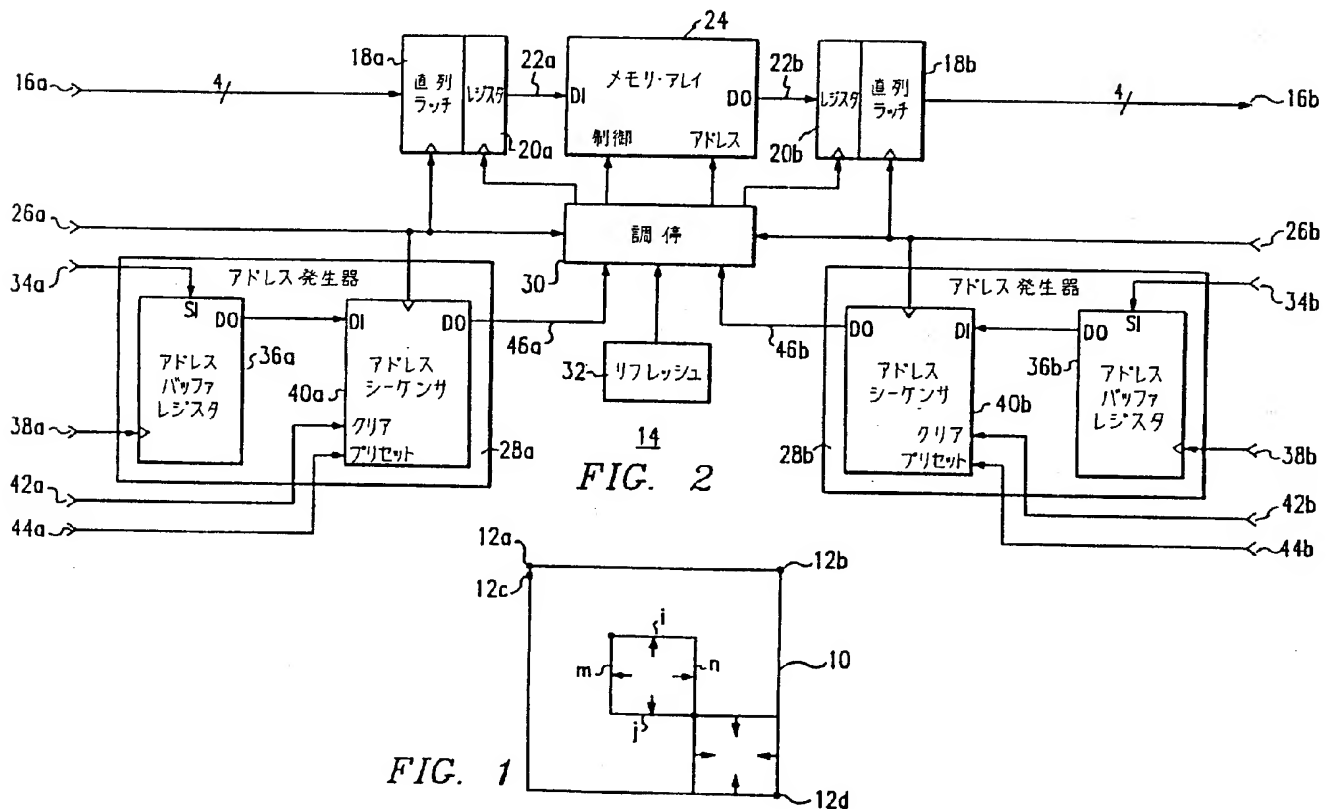
第1図はこの発明を使うことができるビデオ表示スクリーンのフレームを示す略図、第2図はこの発明に従って構成されたメモリ回路のブロック図、第3図はこの発明による第1の別の実施例のメモリ回路のアドレス発生器の部分のブロック図、第4図はこの発明の第2の別の実施例のメモリ回路のアドレス発生器の部分のブロック図、第5図はこの発明によるメモリ回路のアドレス発生器の部分で利用するアドレス・シーケンサのブロック図である。

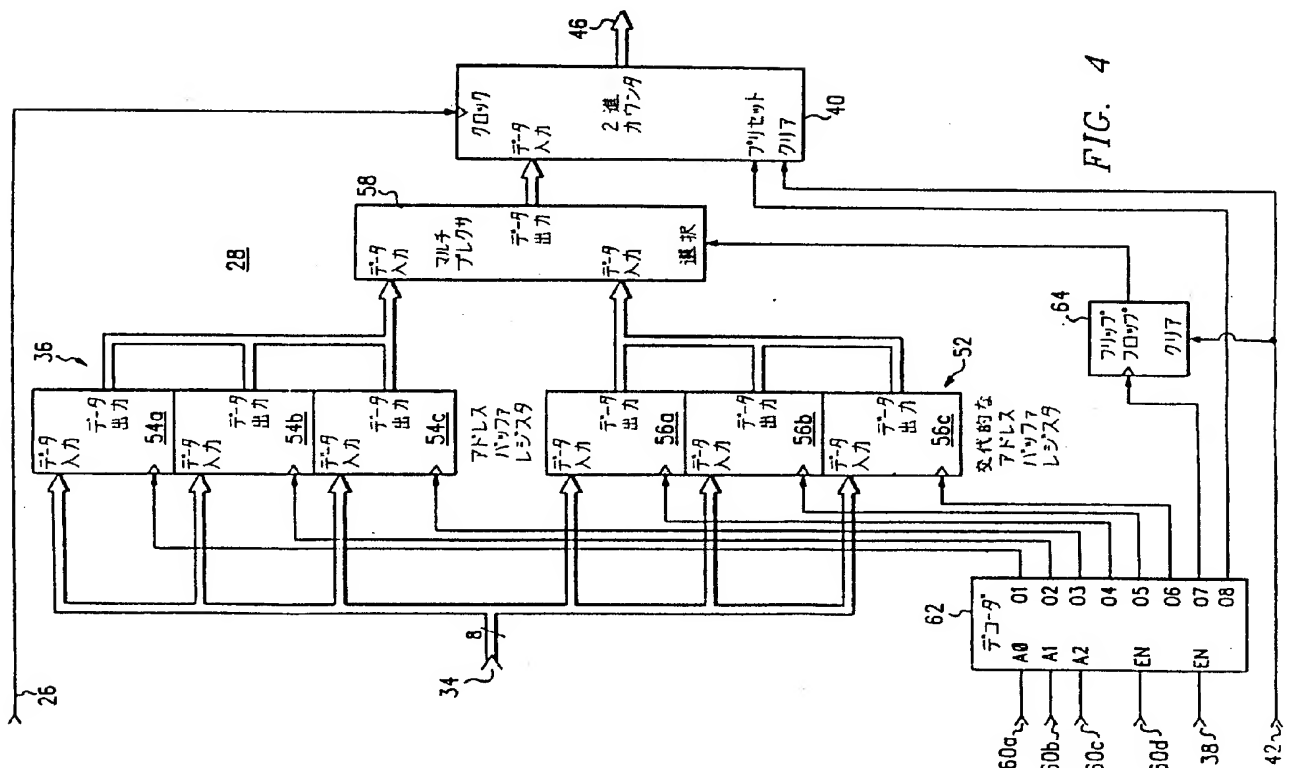
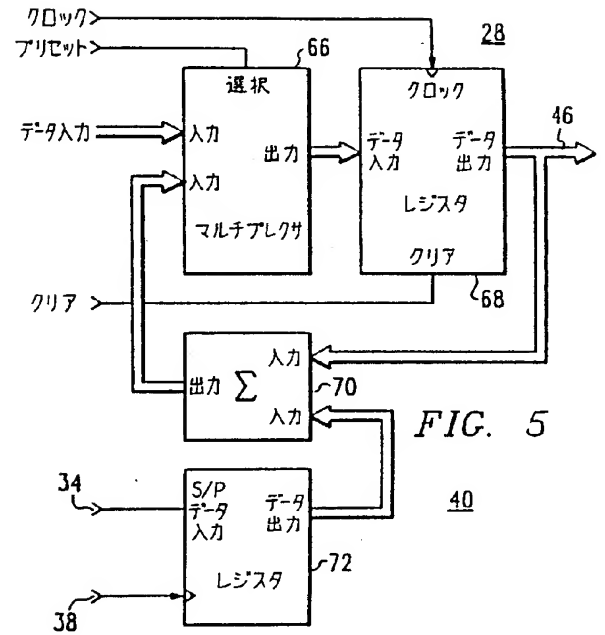
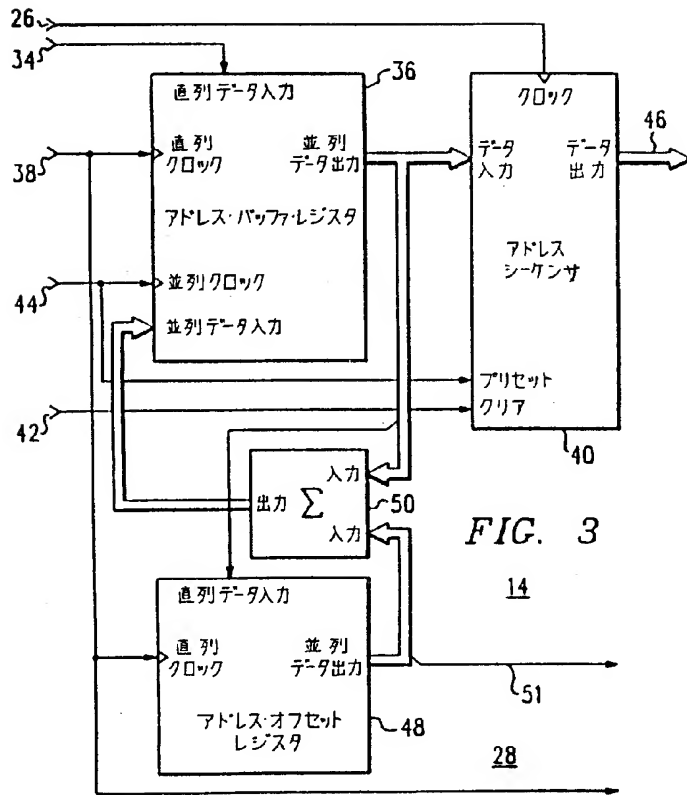
#### 主な符号の説明

- 16a：データ入力
- 18a：直列ラッチ
- 20a：レジスタ
- 24：メモリ・アレイ
- 36a：アドレス・バッファ・レジスタ
- 40a：アドレス・シーケンサ

代理人 浅 村 皓

図面の浄書(内容に変更なし)





第1頁の続き

⑤Int.Cl.<sup>4</sup>

H 04 N 5/91

識別記号

庁内整理番号

Z-7734-5C

⑦発明者 ジョン ビクター モ アメリカ合衆国イリノイ州ウイロウ スプリングス, ヒン  
ラベック リツカー ドライブ 212  
⑦発明者 ジャン - ビエール フランス国ビレヌーブ - ロウベ, ドメイン デ サン  
ドレイ アンドリユー, 18

手続補正書(方式)

特許庁長官殿

平成 1 年 4 月 18 日

1. 事件の表示

昭和 63 年 特許願第 324738 号

2. 発明の名称

メモリ回路とデータ・ストリームを  
記憶する方法

3. 補正をする者

事件との関係 特許出願人  
氏名(名称)

テキサス インスツルメンツ インコーポレイテッド

4. 代理人

居 所 〒100 東京都千代田区大手町二丁目2番1号  
新 大 手 町 ビ ル ダ ン ク 331  
電 話 (211) 3851 (代 表)  
氏 名 (6669) 弁 理 士 浅 村 皓

5. 補正命令の日付 平成 1 年 3 月 28 日

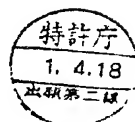
6. 補正により増加する請求項の数

7. 補正の対象

図面

8. 補正の内容 別紙のとおり

願書に最初に添付した図面の浄書(内容に変更なし)



方式  
審査 (竹内)